

JP 405299905 A

NOV 1993

6

## (54) MONOLITHIC MICROWAVE INTEGRATED CIRCUIT

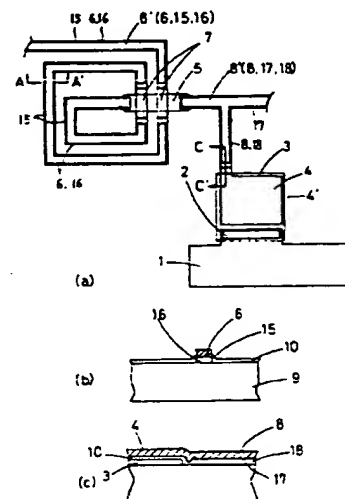
(11) 5-299905 (A) (43) 12.11.1993 (19) JP

(21) Appl. No. 4-102761 (22) 22.4.1992

(71) SHARP CORP (72) SHINJI HARA

(51) Int. Cl.<sup>5</sup> H01P3/08, H01L21/3205, H01L27/095, H01P1/00, H03F3/60

- PURPOSE:** To provide a transmission line whose loss is reduced and an inductor by providing the transmission line formed through plural wiring layers contacted with each other vertically.
- CONSTITUTION:** Lower layer wires 16, 18 of a same pattern are used just beneath upper layer wires 6, 8. A dielectric film between the lower layer wire 16 and the upper layer wire 6 and between the lower layer wire 18 and the upper layer wire 8 is removed by using a contact hole forming process and connected by contact holes 15, 17, the upper layer wires and the lower layer wires are in contact with each other to form one wiring layer. The thickness of the metal of the wiring layer is the sum of the thickness of the metal of the upper layer wires and the thickness of the metal of the lower layer wires, resulting in being increased. With respect to the location required for the upper layer wires and the lower layer wires, the lower layer wires and the upper layer wires are to be separated in the vicinity. Thus, the thickness of the metal of the transmission line is increased by overlapping the lower layer wires and the upper layer wires. Thus, the low resistance of the transmission line is realized. Moreover, the circuit is formed by the process almost the same process as a conventional process.





(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-299905

(43) 公開日 平成5年(1993)11月12日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 3/08				
H 0 1 L 21/3205				
27/095				
		7735-4M	H 0 1 L 21/ 88	R
		7376-4M	29/ 80	E
審査請求 未請求 請求項の数 2 (全 4 頁) 最終頁に続く				

(21) 出願番号 特願平4-102761

(22) 出願日 平成4年(1992)4月22日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 原 信二

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

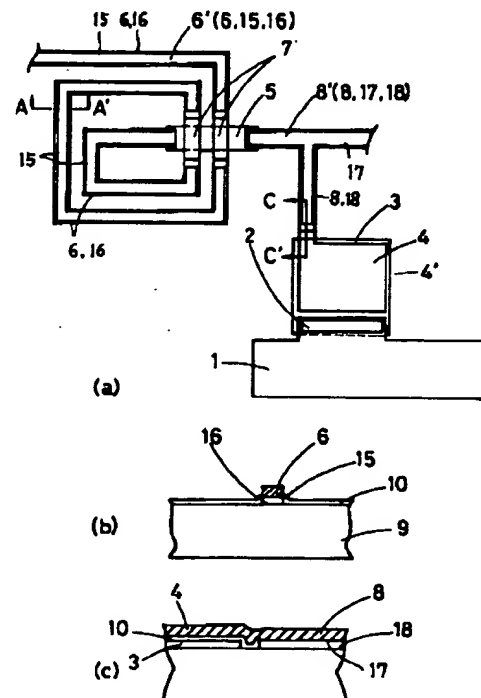
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 モノリシックマイクロ波集積回路

(57) 【要約】

【目的】 低損失化が可能な伝送線路やインダクタを有するモノリシックマイクロ波集積回路を提供する。

【構成】 複数の配線層を上下に接触させて形成した伝送線路やスパイラルインダクタを有するモノリシックマイクロ波集積回路。



## 【特許請求の範囲】

【請求項1】複数の配線層を上下に接触させて形成した伝送線路を有するモノリシックマイクロ波集積回路。

【請求項2】複数の配線層を上下に接触させて形成したスパイラルインダクタを有するモノリシックマイクロ波集積回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はモノリシックマイクロ波集積回路に関するものである。

【0002】

【従来の技術】図2は従来のモノリシックマイクロ波集積回路(MMIC)に用いられるパターンの例である。

(a)は上から見た図であり、(b)は(a)のA-A'断面図、(c)は(a)のB-B'断面図である。1はグランド面、2は上層配線と下層配線を接続するためのコンタクトホールである。3は下層配線であり、MIMキャパシタの下地電極を成す。4はMIMキャパシタ4'の上地電極であり、誘電体膜10を下地電極3とで挟む。

【0003】5は下層配線、6'は上層配線6を渦巻状に巻いて構成したスパイラルインダクタ、7はエブリッジ配線、8'は上層配線8を用いた伝送線路、9はガリウムヒ素基板、10は誘電体薄膜である。

【0004】図2に示したように、MMICにおいては、キャパシタを構成する場合には誘電体薄膜10を金属3、4で挟みこんだ構成のMIMキャパシタを用いる。また、配線が交差する場合は、一方の配線を下層配線5とし、もう一方の配線をエブリッジ配線7とすることによって、2つの配線5、7が接触することを防いでいる。従って、通常のMMICにおいては必ず下層配線形成工程と上層配線形成工程の2種類の配線形成工程とそれらを接続するためのコンタクトホール形成工程が存在する。

【0005】通常下層配線は上層配線に比べると薄く、MIMキャパシタ部や交差部のように下層配線が必要な場所以外の配線は上層配線を用いて配線する。上層配線は通常蒸着によって形成されている。

【0006】図3は一般的なマイクロ波低雑音増幅器のRF等価回路例である。ここで、20はガリウムヒ素FET、21、22、23はインダクタ、24、25はキャパシタである。インダクタには図2のスパイラルインダクタ6'、キャパシタには図2のMIMキャパシタ4'が用いられる。

【0007】

【発明が解決しようとする課題】整合のとれた低雑音増幅器においては、その雑音特性、利得特性は主としてFET(電界効果トランジスタ)の性能と整合回路での損失で決定される。FETの雑音特性は周波数が高くなるほど劣化し、近似的には周波数の一次関数となる。一

方、整合回路においては、周波数が低くなると大きなインダクタが必要となり、長い線路長が必要となる。線路幅一定のとき、単位長あたりの損失が一定であるため、その損失は周波数に反比例して減少する。従って、周波数が10GHz程度以上の比較的高い場合、増幅器の雑音特性はFETの性能によって決定される。一方、3GHz程度以下の比較的低い周波数においては、整合回路での損失が支配的である。図4はこれを模式的に示している。

10 【0008】以上のことより、比較的低い周波数帯において低雑音化を図るためには、線路の損失を小さくする必要があった。特に、スパイラルインダクタは線路幅が狭く、線路長の長い線路を渦巻き状に巻くためその損失が問題となっていた。従来は上層配線の金属を厚くすることによって、その問題を解決していた。ところが、そのような構成においては、蒸着による厚膜化には限界があり、金属を厚く積むためのメッキ工程等が新たに必要となり、製造工程の変更が必要となるという問題があった。

20 【0009】本発明の目的は製造工程を変更することなく低損失化が可能な伝送線路やインダクタを有するモノリシックマイクロ波集積回路を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するため本発明のモノリシックマイクロ波集積回路は、複数の配線層を上下に接触させて形成した伝送線路を有している。また、本発明のモノリシックマイクロ波集積回路は、複数の配線層を上下に接触させて形成したスパイラルインダクタを有している。

30 【0011】

【作用】このように本発明では、下層配線と上層配線を重ね合わせることによって伝送線路の金属厚が増大する。そのため、伝送線路の低抵抗化を実現できる。しかも、これを形成する製造工程は従来の工程と殆ど同一の工程で済む。

【0012】

【実施例】図1に本発明の実施例を示す。(a)は上から見た図であり、(b)は(a)のA-A'断面図、(c)は(a)のC-C'断面図である。4'はMIMキャパシタ、6'はスパイラルインダクタ、8'は伝送線路である。図2の従来例に対し本実施例では、上層配線6、8の直下に同一のパターンの下層配線16、18を用いている。下層配線16と上層配線6、下層配線18と上層配線8の間の誘電体膜はコンタクトホール形成工程によって除去され、コンタクトホール15、17によって接続されており、該上層配線と下層配線は互いに接触し、1つの配線層を形成している。(b)に示したように、この配線層の金属厚は上層配線の金属厚と下層配線の金属厚の和となり増加する。また、従来例において上層配線と下層配線が必要とされていた場所に関して

は(c)に示したように、その近傍において、下層配線と上層配線を分離すればよい。

【0013】次表に従来のモノリシックマイクロ波集積回路による増幅器と本発明で試作したモノリシックマイ \*

\*クロ波集積回路による1GHz帯低雑音増幅器の特性を比較する。

【0014】

	雑音指数 (dB)	利得
従来例による増幅器	3.0	11.4
本発明による増幅器	2.7	11.9

【0015】従来例と本発明の回路はスパイラルインダクタ部分に本発明の構成を用いたか否かが異なるだけで、他は全く同一であって、同一ウエハ上に同一プロセスにより試作した数個の回路の平均により比較した結果を上記表は示している。これから分かるように本発明による増幅器においては10%程度の低雑音化が実現されている。

【0016】尚、本発明は低雑音増幅器だけでなく、高出力増幅器等、線路の損失が問題となるMMICすべてに適用可能であることはいうまでもない。また図2の従来例に関して説明した以外のプロセス、例えば上層配線にメッキ工程を用いるプロセスや、エアブリッジ用に第3の金属配線を用いるようなプロセスにおいても、本発明に従って任意の2層以上の金属配線を重ねることにより製造工程を変更することなく、配線の厚膜化が可能である。

【0017】

【発明の効果】以上説明したように本発明によれば、配線の厚膜化が可能となり、損失の少ない伝送線路をもったモノリシックマイクロ波集積回路を実現することができる。しかも、その形成は従来と同様な製造工程で行なうことができる。

【図面の簡単な説明】

【図1】本発明を実施したモノリシックマイクロ波集積

回路を示す図。

【図2】従来例を示す図。

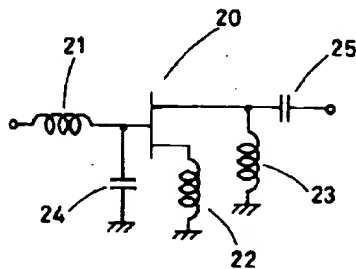
【図3】低雑音増幅器のRF部分の回路図。

【図4】従来例と本発明による低雑音増幅器の特性を比較して示す図。

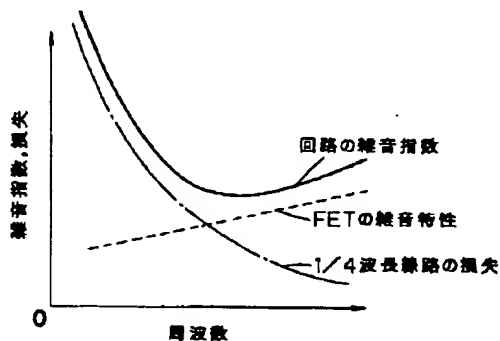
【符号の説明】

- 1 グランド面
- 2、15、17 コンタクトホール
- 3 MIMキャパシタの下地電極
- 4 MIMキャパシタの上地電極
- 4' MIMキャパシタ
- 5 下層配線
- 6 上層配線
- 6' スパイラルインダクタ
- 7 エアブリッジ配線
- 8 上層配線
- 8' 伝送線路
- 9 ガリウムヒ素基板
- 10 誘電体薄膜
- 16 下層配線スパイラルインダクタ
- 18 下層配線伝送線路
- 20 ガリウムヒ素電極
- 21、22、23 インダクタ
- 24、25 キャパシタ

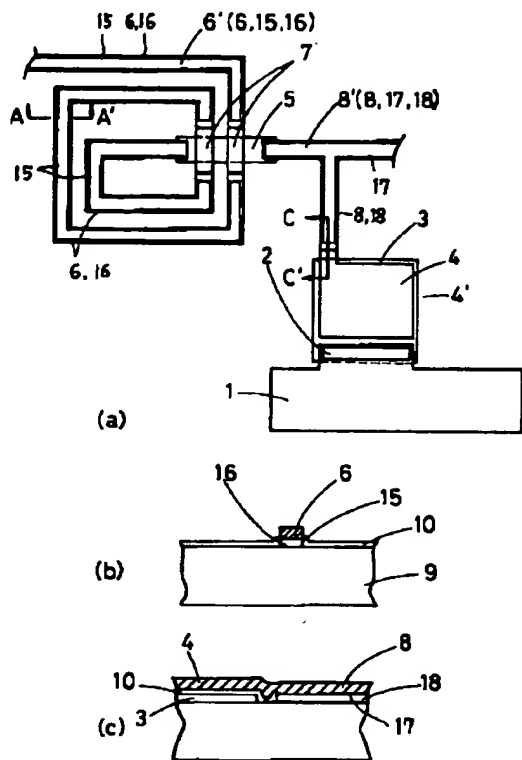
【図3】



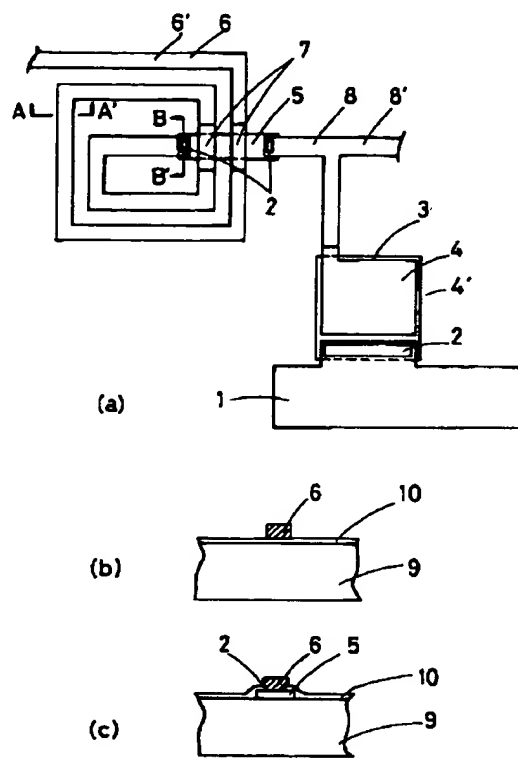
【図4】



【図1】



【図2】



フロントページの続き

(51) Int. Cl. <sup>5</sup>

H 0 1 P 1/00

H 0 3 F 3/60

識別記号

庁内整理番号

Z

8522-5J

F I

技術表示箇所